

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-3414

(43)公開日 平成6年(1994)1月11日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28				
H 0 3 K 19/00		D 8941-5 J		
19/173	1 0 1	9383-5 J		
		6912-2 G	G 0 1 R 31/ 28	F

審査請求 未請求 請求項の数8(全 17 頁)

(21)出願番号 特願平5-4543

(22)出願日 平成5年(1993)1月14日

(31)優先権主張番号 特願平4-11336

(32)優先日 平4(1992)1月24日

(33)優先権主張国 日本 (J P)

(31)優先権主張番号 特願平4-104806

(32)優先日 平4(1992)4月23日

(33)優先権主張国 日本 (J P)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 貝澤 敏晴

兵庫県加東郡社町佐保35番地 富士通周辺
機株式会社内

(72)発明者 弓岡 達也

兵庫県加東郡社町佐保35番地 富士通周辺
機株式会社内

(72)発明者 濱田 研一

兵庫県加東郡社町佐保35番地 富士通周辺
機株式会社内

(74)代理人 弁理士 野河 信太郎

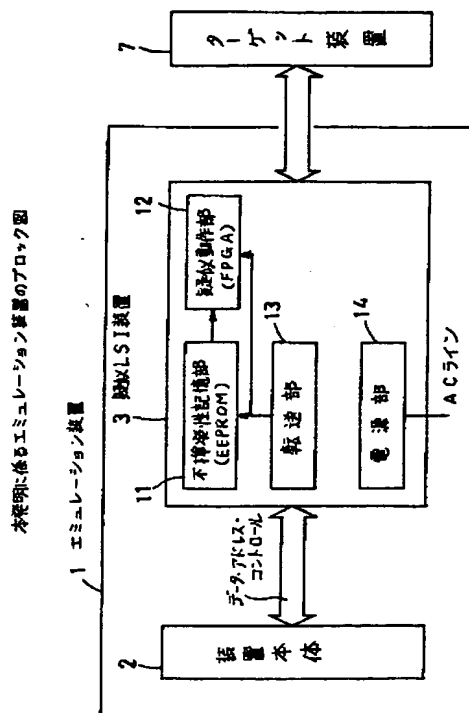
最終頁に続く

(54)【発明の名称】 疑似L S I 装置及びそれを用いたデバッグ装置

(57)【要約】

【目的】 本発明は、L S I (大規模集積回路)の開発などにおいて用いられる疑似L S I 装置、及び疑似L S I 装置を用いたエミュレーション装置に関し、装置本体から切り離した場合であっても回路データが消滅することなく疑似L S I を構成することを可能にすることを目的とする。

【構成】 回路データが書き込まれることによって疑似L S I を構成するプログラマブル・ゲートアレイからなる疑似動作部12と、外部からダウンロードされる回路データを格納するための不揮発性記憶部11と、不揮発性記憶部11に格納された回路データを疑似動作部12に転送するための転送部13と、電源部14とを備え、これらが一体的に設けられて構成される。



1

【特許請求の範囲】

【請求項1】 共通の回路基板上に装着した複数のプログラム可能な論理素子を用いて単一の電子回路をエミュレートする疑似LSI装置において、回路データが書き込まれることにより疑似LSIを構成する複数のプログラマブル・ゲートアレイからなる疑似動作部(12)と、外部からダウンロードされる回路データを格納するための不揮発性記憶部(11)と、前記不揮発性記憶部(11)に格納された回路データを前記疑似動作部(12)に転送するための転送部(13)と、電源部(14)とを備え、これらが一体的に設けられてなることを特徴とする疑似LSI装置。

【請求項2】 前記疑似動作部(12)の複数のプログラマブル・ゲートアレイがグループ分けされ、さらに前記プログラマブル・ゲートアレイの端子がグループ分けされ、前記疑似動作部(12)が、1つのプログラマブル・ゲートアレイグループ内について、1つの端子グループを介してそのゲートアレイグループ内のプログラマブル・ゲートアレイを相互に1対1に直接接続する配線と、他の端子グループを介してそのゲートアレイグループ内のプログラマブル・ゲートアレイを共通バスで接続する配線を有することを特徴とする請求項1記載の疑似LSI装置。

【請求項3】 前記疑似動作部(12)が、ゲートアレイグループ内及び他の任意のゲートアレイグループ内のプログラマブル・ゲートアレイ同士を1つの端子グループを介して相互に共通バスで接続する配線を有することを特徴とする請求項2記載の疑似LSI装置。

【請求項4】 前記疑似動作部(12)が、1つの端子グループを介してゲートアレイグループ内及び他のゲートアレイグループの全てのプログラマブル・ゲートアレイを共通バスで直接接続する配線を有することを特徴とする請求項2記載の疑似LSI装置。

【請求項5】 前記転送部(13)が、前記電源部(14)がオンしたときに、前記不揮発性記憶部(11)に格納された回路データを前記疑似動作部(12)に転送することを特徴とする請求項1記載の疑似LSI装置。

【請求項6】 請求項1記載の疑似LSI装置(3)と、前記疑似LSI装置(3)に対して回路データをダウンロードするための装置本体(2)とを有し、これらが別体に設けられてなることを特徴とする疑似LSI装置を用いたデバッグ装置。

【請求項7】 前記装置本体(2)が、前記不揮発性記憶部(11)に対する回路データのダウンロード後に、前記不揮発性記憶部(11)から前記疑似動作部(12)へ回路データを転送するための指令を出力するように構成されてなることを特徴とする請求項6記載の疑似LSI装置を用いたデバッグ装置。

【請求項8】 前記疑似動作部(12)が、その内部の任意のプログラマブル・ゲートアレイ間の配線をプログ

2

ラム可能とする配線変換用LSIを備え、さらに、前記配線変換用LSIが複数の入力端子と、複数の出力端子と、前記入力端子と前記出力端子の接続経路を選択するゲート群と、前記ゲート群を駆動し入力端子と出力端子の接続関係を制御する制御信号を入力する制御用入力端子を備え、制御信号に対応して入力端子と出力端子の接続が一意に決定されることを特徴とする請求項1記載の疑似LSI装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、LSI(大規模集積回路)の開発などにおいて用いられる疑似LSI装置、及び疑似LSI装置を用いたデバッグ装置に関する。以下、この疑似LSI装置を用いたデバッグ装置をエミュレーション装置と呼ぶ。

【0002】近年において、LSI開発における開発期間の短縮及び開発効率の向上のために、LSIの製作前にエミュレーション装置によって疑似LSIを作成し、これをターゲット装置(実機)に接続してハードウェアの動作確認を実施することが提案されている。

【0003】ハードウェアの動作確認がある程度進展すると、それと並行してファームウェアの動作確認を行い、またファームウェアの動作確認が終了するとソフトウェアの動作確認とシステム全体の評価試験などを行うこととなるため、複数の疑似LSI装置又はエミュレーション装置が要望されることとなる。

【0004】

【従来の技術】図17は従来のエミュレーション装置1jのブロック図である。従来において、エミュレーション装置1jは装置本体2j及び疑似LSI装置3jから構成されている。

【0005】装置本体2jは、MPU(マイクロプロセッサユニット)、R/Wコントローラ、メモリなどからなっており、図示しないホストコンピュータなどから転送されてきた回路データ(ネットリスト)を疑似LSI装置3jにダウンロードする。

【0006】疑似LSI装置3jは、疑似LSIの規模に応じたゲート数のFPGA(Field Programmable Gate Array)12'を有している。FPGA12'は、例えばSRAM(スタティック・ランダム・アクセス・メモリ)を内蔵しており、SRAMに回路データが書き込まれることによって特定のハード回路を有した疑似LSIが構成される。したがって、装置本体2jからダウンロードされた回路データはSRAMに書き込まれ、それに応じた疑似LSIが構成される。FPGA12'を複数個有している場合には、必要に応じてアドレスデコーダなどが設けられる。

【0007】回路データがダウンロードされた疑似LSI装置3jは、種々のターゲット装置(又はターゲットボード)7に接続され、疑似LSI装置3j自体のハー

10

20

30

40

50

3

ドウエアの動作確認、ターゲット装置7の試験、デバッグ、評価などが行われる。

【0008】また、FPGA12'は、VLSIチップやASIC装置などの設計した内部回路を実物の装置に近い形で評価するために提案されたものであり、プログラム可能な多量のゲート構造を内部に保持しているため、設計した回路をFPGAにプログラミングすることにより実装置に近い形で評価をすることが可能となる。

【0009】しかし、近年の半導体技術の進歩により内部回路のゲート数が多いVLSIチップやASIC装置が増えてきており、そのような大規模な回路機能をエミュレートするために複数のFPGAを用いる必要性が生じている。FPGAを複数個用いるためには各々のFPGAの各々の入出力ピンのピンアサインを決定してから、各々のFPGAを接続するための接続パターンを基板上に作製して使用しなければならない。

【0010】ところが、疑似LSI装置にて評価を行う各種の回路は疑似LSI装置を構成する各々のFPGAにプログラムされる内容が異なるとともに、各FPGA同士を接続するインターフェース信号が異なる。そのため、内部回路の評価を行う度に入出力ピンのピンアサインを決定し、接続パターンを基板上に作成しなければならない。このような構成の疑似LSI装置を使用すると、FPGAがプログラム可能であるという汎用性が全く生かされず、各種回路の評価を行う度に接続パターンを作成する多大な労力と費用を要する。

【0011】そこで、FPGAを予め所定の固定パターンで接続しておき、FPGAの内部プログラムにより、配線処理を行う技術が特開平2-245831により開示されている。この技術は、入出力ピンのピンアサインを決定したのちに接続パターンを作成する従来の考えを逆転したもので、FPGA間を接続する接続パターンを固定しておき、その接続パターンにあわせてFPGAをプログラムすることにより対処するものである。

【0012】図18はこの技術の1実施例を示す図で、101,102,103,104はFPGAであり、これらのFPGA間には多数の接続パターンで接続されている。このような構成のシステムにおいて、端子41,42に入力される信号の論理積を端子43に出力する論理回路を構成しようとする場合には、FPGA101は端子41から入力される信号を接続パターン44にそのまま送出するパターン71をプログラムし、FPGA102,103も同様に接続パターン44から45へと接続するパターン72と、端子42から接続パターン46へと接続するパターン73がプログラムされる。

【0013】そして、FPGA104は接続パターン45と46の論理積を演算するアンド回路74をプログラムするとともに、その出力を端子43に出力するようにプログラムされる。このように各々のFPGA101,102,103,104をプログラムすることにより、固定された接続パ

4

ターンにおいても端子41,42に入力される信号の論理積を端子43に出力する論理回路を構成することが可能となるものである。

【0014】

【発明が解決しようとする課題】ところが、VLSIチップやASIC装置は、完成された所定の回路を組み合わせて1つのチップに集約させるような内部回路を構成することが多く、これらの回路を集約させることにより各回路間の接続や各回路の信号遅延を保証するための回路などを簡略化することができ、よって、クロック信号の高周波化や動作の高速化及び回路の集積化が可能となるものであるが、上述した特開平2-245831の構造は汎用性のみを重視した構造であり、FPGA同士の接続やFPGAとコネクタ、FPGAと外部装置との接続に他のFPGAの内部配線を介する確率が非常に高くなる。これらの接続にFPGAの内部配線を用いると、接続のための内部配線を有するFPGAの入出力バッファによる信号伝達の遅延が、構成した回路の誤動作を招くようになる。そこで、実際の回路では必要としない信号伝達の遅延を保証するための回路を付加して構成しなければならないとなり、実際の回路と同じ条件で回路の評価を行うことができない。

【0015】また、高速性を必要とする信号の接続が隣合うFPGA同士でのみ発生するなら問題はないが、実際の回路においてこのような構成になることは極めて稀であり、故意的にこのような構成にしようとしても、現在の複雑な回路を再構成しなおすことになり、最初から全回路の構成を作成するのと同じ程度困難な作業となる。そのため、多数のFPGAを介して伝達される信号が発生してしまうので、信号の遅延を保証する回路を付加せずにはエミュレーションを行うことができない。

【0016】他に、VLSIチップやASIC装置の回路は、完成された所定の回路を組み合わせて構成されることから、各回路間で双方向に信号が伝達される配線を有することがある。このときの接続に他のFPGAの内部配線を介すると、このFPGAの入出力バッファの入力と出力を切り換えるための信号が必要となり、信号線の接続のみならず複雑な制御回路も必要となる。

【0017】また、図17に示した従来の疑似LSI装置3jは、装置本体2jから切り離した場合には、FPGA12'に書き込まれた回路データが消滅してしまい、疑似LSIとして機能しないという問題がある。そのため、疑似LSI装置3jは装置本体2jに接続した状態でのみしか使用することができず、疑似LSI装置3jの動作確認、試験、デバッグなどを行うために装置本体2jから切り離すことができなかった。

【0018】したがって、動作確認の終わった疑似LSI装置3jについて次の他の部門で試験を行う場合には、疑似LSI装置3jのみならず装置本体2jをも同時に移動させなければならないとともに、移動後におい

5

て装置本体2jから疑似LSI装置3jに回路データを再度ダウンロードする必要があった。

【0019】また、LSI開発の各段階における試験などを各部門において並行して行う場合には、それらの部門の数以上にエミュレーション装置1jが必要となり、そのための設備費用が莫大なものになってしまうという問題があった。

【0020】この発明は、以上のような事情を考慮してなされたものであり、シミュレートしたい実回路に手を加えることなくプログラムすることができる複数のFPGAから構成される疑似LSI装置を用い、装置本体から切り離した場合であっても回路データが消滅することなく疑似LSIを構成することのできる疑似LSI装置及びそれを用いたエミュレーション装置を提供することを目的としている。

【0021】

【課題を解決するための手段】図1に、この発明のエミュレーション装置のブロック図を示す。同図において、この発明は、共通の回路基板上に装着した複数のプログラム可能な論理素子を用いて単一の電子回路をエミュレートする疑似LSI装置において、回路データが書き込まれることにより疑似LSIを構成する複数のプログラマブル・ゲートアレイからなる疑似動作部12と、外部からダウンロードされる回路データを格納するための不揮発性記憶部11と、前記不揮発性記憶部11に格納された回路データを前記疑似動作部12に転送するための転送部13と、電源部14とを備え、これらが一体的に設けられてなることを特徴とする疑似LSI装置を提供するものである。

【0022】また、疑似動作部12の複数のプログラマブル・ゲートアレイがグループ分けされ、さらにプログラマブル・ゲートアレイの所定の端子がグループ分けされ、前記疑似動作部12が、1つのプログラマブル・ゲートアレイグループ内について、1つの端子グループを介してそのゲートアレイグループ内のプログラマブル・ゲートアレイを相互に1対1に直接接続する配線と、他の端子グループを介してそのゲートアレイグループ内のプログラマブル・ゲートアレイを共通バスで接続する配線を有するように構成される。

【0023】図2は、前記疑似動作部12の内部の配線の原理的構成を示した図である。同図において、疑似動作部12は、複数のFPGA 101~404 から構成されている。各FPGAを101~104、201~204、301~304、401~404 とグループに分け、更に各FPGAの所定の端子をグループ分けし、グループ内101~104の各FPGAを相互に直接接続する接続配線C1~C6及び、グループ内101~104の各FPGA同士を相互に共通バスで直接接続する接続配線C11、また他のグループ201~204、301~304の各FPGA同士と相互に共通バスで直接接続する接続配線C21、C22を設けてある。更に、

6

グループ内101~104及び他グループ201~204、301~304、401~404の全ての各FPGA同士を相互に共通バスで直接接続する接続配線C31を回路基板に設けてある。

【0024】たとえば、疑似LSI装置3は、前記転送部13は、前記電源部14がオンしたときに、前記不揮発性記憶部11に格納された回路データを前記疑似動作部12に転送するように構成する。

【0025】たとえば、エミュレーション装置1は、請求項1記載の疑似LSI装置3と、前記疑似LSI装置3に対して回路データをダウンロードするための装置本体2とを有し、これらが別体に設けられて構成する。

【0026】たとえば、エミュレーション装置1は、前記装置本体2が、前記不揮発性記憶部11に対する回路データのダウンロード後に、前記不揮発性記憶部11から前記疑似動作部12へ回路データを転送するための指令を出力するように構成する。

【0027】また、前記疑似動作部12が、その内部の任意のプログラマブル・ゲートアレイ間の配線をプログラム可能とする配線変換用LSIを備え、さらに、前記配線変換用LSIが複数の入力端子と、複数の出力端子と、前記入力端子と前記出力端子の接続経路を選択するゲート群と、前記ゲート群を駆動し入力端子と出力端子の接続関係を制御する制御信号を入力する制御用入力端子を備え、制御信号に対応して入力端子と出力端子の接続が一意に決定されるように構成してもよい。なお、前記不揮発性記憶部11は、通常EEPROMが使用される。

【0028】

【作用】装置本体2からダウンロードされた回路データは、疑似LSI装置3においてEEPROMなどの不揮発性記憶部11に一旦格納される。その後、不揮発性記憶部11から疑似動作部12に対して回路データの転送が行われる。

【0029】疑似LSI装置3が装置本体2から切り離された場合において、ダウンロードされた回路データは不揮発性記憶部11に保持されており、電源部14がオフして疑似動作部12内の回路データが消滅してしまった場合であっても、電源部14がオンしたときには不揮発性記憶部11に格納された回路データが疑似動作部12内のプログラマブル・ゲートアレイに転送され、疑似LSIとして正常に動作する。

【0030】不揮発性記憶部11から疑似動作部12内のプログラマブル・ゲートアレイへのデータ転送は、プログラマブル・ゲートアレイと別に設けられた転送部13、又は転送部を一体に組み込んだFPGAなどによって行われる。

【0031】また、疑似動作部12内の複数のプログラマブル・ゲートアレイを接続する配線として、2つのゲートアレイ間の直接接続配線またはバス接続配線を設け

7

ているため、いかなるFPGA間で必要とする信号が発生しても、上記接続配線で信号の伝達を行うことにより、信号の遅延が極めて少ない接続を行うことができる。

【0032】さらに、上記各プログラマブル・ゲートアレイをグループに分けて各グループごとに配線方法や本数を異ならせる構造を用いているため、エミュレートする電子回路に応じてグループを選択できるようになり、従来とほぼ同程度の汎用性を維持することができる。

【0033】

【実施例】以下、図に示す実施例に基づいてこの発明を詳述する。しかし、これによってこの発明が限定されるものではない。図1は本発明に係るエミュレーション装置1のブロック図である。なお、以降において、先に説明した構成要素と同一の機能を有する構成要素には同一の符号を付して説明を省略し又は簡略化する。

【0034】エミュレーション装置1は、装置本体2と疑似LSI装置3とからなり、これらは接続ケーブルを外すことにより物理的に分離可能なよう、それぞれ別体に設けられている。装置本体2は、従来の装置本体2'と同様な構成であり、回路データを疑似LSI装置3にダウンロードする。なお、装置本体2には必要に応じてホストコンピュータが接続される。

【0035】疑似LSI装置3は、不揮発性記憶部11、疑似動作部12、転送部13、及び電源部14などが1つの筐体内に収納され、移動（持ち運び）の容易なように一体的に構成されている。

【0036】不揮発性記憶部11は、通常EEPROM（電氣的書換え可能な読出し専用メモリ）から構成され、装置本体2からダウンロードされる回路データを格納するためのものである。EEPROMは、電源の供給が停止した場合であっても格納した回路データを保持しており、再度電源が供給された際には格納した回路データの読み出しが可能である。疑似動作部12は、複数のFPGAから構成され、回路データが書き込まれ、エミュレートすべき実回路を疑似的に実現するものである。

【0037】転送部13は、EEPROMに格納された回路データをFPGAへ転送するためのものである。転送部13は、電源部14がオンしたとき、又は装置本体2からの指令があったときに、転送を行うように動作する。

【0038】電源部14は、不揮発性記憶部11、疑似動作部12、及び転送部13に電源を供給するためのものである。本実施例においてはACラインから電源を得ているが、それに代えて、又はそれとともに、一次電池又は二次電池などを用いることも可能である。

【0039】図3は疑似LSI装置3が装置本体2に接続されている場合の動作を示すタイミングチャート、図4は疑似LSI装置3の単体の動作を示すタイミングチャートである。

8

【0040】疑似LSI装置3が装置本体2に接続されている場合には、電源部14がオンしている状態において、装置本体2の制御によって回路データがEEPROM11にダウンロードされ、その後、装置本体2からの転送指令によって転送部13が動作し、回路データがEEPROM11からFPGA12に転送される。

【0041】FPGA12に回路データが転送された後は、疑似LSI装置3が疑似LSIとして動作するので、ターゲット装置7などに接続して試験又はデバッグなどを行う。試験などを行うことによって疑似LSIの回路変更の必要性が生じた場合には、修正した回路データを装置本体2からEEPROM11へダウンロードし、それをFPGA12へ転送する。

【0042】疑似LSI装置3には電源部14が設けられているので、疑似LSI装置3から装置本体2を切り離しても疑似LSIとして動作する。したがって、試験中の疑似LSI装置3を残して、装置本体2を他の場所へ移動し別の疑似LSI装置3に接続してエミュレーションを行うことができる。

【0043】さて、疑似LSI装置3を他の場所へ移動するなどのために、電源部14を一旦オフした場合について説明する。疑似LSI装置3の電源部14をオフすると、FPGA12に格納された回路データは消滅する。しかし、電源を再度投入すると、図3に示すように、EEPROM11に格納された回路データが転送部13によってFPGA12に転送され、これによって直ちに疑似LSIが構成され、疑似LSIとして動作することができる。

【0044】したがって、疑似LSI装置3の移動に当たって、装置本体2とともに移動する必要がなく、且つ電源を一旦切って移動することができ、しかも移動後において回路データを装置本体2から再度ダウンロードする必要がないので、移動が極めて容易であり、使い勝手が大幅に向上する。

【0045】また、疑似LSI装置3を多数個作成しておくことによって、同一の回路データがダウンロードされた疑似LSI装置3を異なる部門に配付し、各部門において種々の試験を並行して行うことができ、LSIの開発効率の向上を図ることができる。しかも、エミュレーション装置1の全体を作成することなく、疑似LSI装置3のみを作成しておけばよいので、設備費用が極めて少なくて済む。

【0046】図5は本発明に係る他の実施例の疑似LSI装置3aのブロック図、図6は疑似LSI装置3aが装置本体2aに接続されている場合の動作を示すタイミングチャート、図7は疑似LSI装置3aの単体の動作を示すタイミングチャートである。

【0047】疑似LSI装置3aは、複数のEEPROM21（21a、21b…）、複数のFPGA22（22a、22b…）、アドレスデコーダ23、アンド回路

10

20

30

40

50

24、フリップフロップ25、アンド回路26、及び電源部27などから構成されている。

【0048】FPGA22は、回路データを書き込むための転送モードと、書き込まれた回路データに基づいた疑似LSIとして動作する動作モードとの2つのモードを有している。

【0049】電源が投入された直後においては、FPGA22は自動的に転送モードとなる。また、D/P端子(「H」のときD)に負のパルス状の再転送信号S1が

入力された直後にも転送モードとなる。
【0050】転送モードでは、FPGA22が自らアドレスを順次指定しながらそのアドレスにデータバスからの回路データを取り込んで格納する。その際に、自ら指定したアドレスをアドレスバスに出力するので、そのアドレスに基づいてEEPROM21がアドレス指定されて回路データが順次読み出される。したがって、転送モードでは、EEPROM21に格納されている回路データがFPGA22に自動的に転送される。

【0051】転送モードにおいて転送が終了すると、LDC端子(ローアクティブ)が「H」となって転送終了

信号S2(S2a, S2b...)が出力されるとともに、自動的に動作モードとなる。
【0052】アドレスデコーダ23は、回路データをEEPROM21にダウンロードする際に、各EEPROM21a, 21bを順次選択するためのものである。また、上述した再転送信号S1を発生させるために、MPU81から特定のアドレスとデータとを短時間だけ出力するようになっており、その特定のアドレスを検出してアンド回路24へ短時間のオン信号S3を出力する。

【0053】アンド回路24及びフリップフロップ25は、アドレスデコーダ23からのオン信号S3とデータバスからの特定のデータとによって、再転送信号S1を生成する。

【0054】アンド回路26は、各FPGA22a, 22b...から出力される転送終了信号S2a, S2b...が全部出揃ったときに「H」の転送完了信号S4をMPU81に出力する。

【0055】次に、図6及び図7を参照してエミュレーション装置1a及び疑似LSI装置3aの動作を説明する。図6を参照して、疑似LSI装置3aが装置本体2aに接続されている場合には、電源部14がオンすることによってFPGA22が転送モードとなり、各EEPROM21a, 21b...から順番に各FPGA22a, 22b...へデータの転送が自動的に行われる。このときには、EEPROM21に回路データが格納されていないこともある。

【0056】転送が終了すると、転送完了信号S4がMPU81に入力されるとともに、FPGA22は動作モードとなる。MPU81は、これを受けて、EEPROM21に回路データをダウンロードする。

【0057】ダウンロードが終了すると、MPU81は特定のアドレスとデータを出力し、これによって再転送信号S1がFPGA22に入力される。再転送信号S1によってFPGA22は転送モードとなり、EEPROM21に格納された回路データがFPGA22に転送される。

【0058】転送が終了すると、FPGA22は動作モードとなり、書き込まれた回路データに基づいた疑似LSIとして動作する。修正した回路データなどを再度ダウンロードする場合には、MPU81によって再転送信号S1を再度出力させる。なお、ダウンロード中においては、疑似LSI装置3aを疑似LSIとして使用しない。

【0059】図7を参照して、疑似LSI装置3aが装置本体2aから切り離されている場合には、図5の前半部分と同様に、電源部14がオンすることによってFPGA22が転送モードとなり、EEPROM21に格納された回路データがFPGA22へ自動的に転送される。転送が終了すると、FPGA22は動作モードとなり、疑似LSIとして動作する。

【0060】このように、疑似LSI装置3aによっても、先に述べた疑似LSI装置3と同様に、移動が極めて容易であり、使い勝手が良く、多数個作成しておくことによって種々の試験を並行して行うことができ、LSIの開発効率の向上を図ることができ、設備費用が極めて少なく済むという優れた効果が得られる。

【0061】上述の実施例の疑似LSI装置3aにおいては、転送モードと動作モードの2つのモードのみを有しているとして説明したが、FPGA22のモード設定用のピンに種々のデータを入力することによって、その他の種々のモードの設定が可能である。

【0062】例えば、アドレスバスによりアドレスを指定してFPGA22にデータを書き込む書込みモードとすることができる。書込みモードでは、装置本体2aからFPGA22に対して直接に回路データをダウンロードすることができる。

【0063】したがって、例えば、疑似LSI装置3aをターゲット装置7に接続してデバッグを行っているうちに回路データの変更の必要性が生じた場合において、修正した回路データをEEPROM21へダウンロードしてその後にFPGA22へ転送するか、又はEEPROM21を経由することなくFPGA22に直接ダウンロードするかを選択することができる。

【0064】なお、FPGA22に直接ダウンロードした場合には、最終の回路データを後でEEPROM21にもダウンロードしておくこととなる。上述の実施例の疑似LSI装置3aにおいては、1個のFPGA22に対して1個のEEPROM21を配置しており、このようにすると回路データの転送が容易であるが、1対1に対応させることなく、容量及びゲート数などに応じて適

11

当な個数を用いることとしてもよい。

【0065】上述の実施例の疑似LSI装置3aにおいては、EEPROM21からFPGA22への回路データの転送を順番に行ったが、各EEPROM21間のデータバス及びアドレスバスにバスバッファに挿入することによって、回路データの転送を並行して行うことも可能である。

【0066】上述の実施例においては、プログラマブル・ゲートアレイと転送部とが1つの素子内に組み込まれたFPGAを用いた例について説明したが、それらを別

【0067】また、不揮発性記憶部としてEEPROMを用いたが、例えば電池バックアップされたSRAMなど、種々の書き換え可能な記憶素子又はそれらと他の素子との組み合わせを用いることも可能である。その他、装置本体2、2a、疑似LSI装置3、3aの構成、素子の個数、種類、回路構成、又は制御方法などは、上述した以外に種々変更することができる。

【0068】次に、本発明の疑似動作部12における実施例について説明する。図8は、本発明における疑似LSI装置の疑似動作部12の第1の実施例を示す図であり、全体が共通の回路基板であるプリント基板P10上に配設されている。この疑似動作部12は101~112で示される12個のFPGAと、31~38で示されるコネクタと、各FPGA101~112及び各コネクタ31~38を直接接続するバス接続配線C21~C27と、隣合うFPGA間の接続を行うFPGA接続配線C4と、各FPGA101~112と各コネクタ31~38とを接続するコネクタ接続配線C5から構成される。

【0069】バス接続配線C21は疑似動作部12上の全てのFPGA101~112に接続されるとともに、各コネクタ31~38に数本ずつ分配されて接続され、主として外部の接続機器や測定装置とのバスとして用いたり、各FPGA101~112に入力されるクロック信号に用いられる。バス接続配線C22は疑似動作部12上の全てのFPGA101~112に接続され、疑似動作部12上でのバス配線として用いたり、接続配線C4により直接接続されていないFPGA間の信号伝達に用いられる。

【0070】バス接続配線C23は疑似動作部12上の区画Bで示される領域に配置される全てのFPGA103~112に接続され、バス接続配線C22と同様に区画Bの領域に配置されるFPGA103~112の信号の伝達に用いられる。残りのバス接続配線C24~C27も同様にバス接続配線C24は区画C、バス接続配線C25は区画D、バス接続配線C26は区画E、バス接続配線C27は区画Fに配置されるFPGAの接続を行い、それぞれの信号の伝達に用いられる。

【0071】本発明による疑似LSI装置の疑似動作部12には、これらのバス接続配線C21~C27の他

12

に、FPGA103と104、103と107などのように格子接続配線C4を有し、それぞれのFPGA101~112にこれらの配線の後に残った端子を各コネクタ31~38に割り振ってある。またバス接続配線C21~C27のそれぞれの本数は、バス接続配線の数7、FPGAの数を12、FPGAの端子数をそれぞれ150程度の規模とした場合それぞれ10~40本程度が好ましい。

【0072】このように構成された疑似動作部12を使用する場合、構成したい回路に応じて区画を選択してプログラムし、それらのFPGAに接続されたコネクタを用いて外部の各種の測定装置や処理装置と接続して回路の試験や評価を行う。

【0073】例えば外部の装置との信号線の数が多いインターフェース回路と特定の処理を組み合わせる1つのVLSI装置として構成する場合には、区画Aに配置されるFPGA101、102にインターフェース回路をプログラムし、残りのFPGA103~112に処理回路をプログラムする。このとき、バス接続配線C21、C22により全てのFPGAに接続されているために、FPGA同士での信号の伝達がどのFPGA間で発生しても直接接続することができるために、遅延を保証するための回路を付加する必要がない。

【0074】他に、多数の特定回路を組み合わせるASIC装置を構成する場合はそれぞれのFPGA101~112にそれぞれ特定の回路をプログラムしていき、各々のFPGA101~112からコネクタに接続されたコネクタ接続配線C5に測定用のモニタ信号を送出して各コネクタに測定装置を接続する。このときも、上述したように直接接続することができるので、遅延を保証するための回路を付加する必要がない。

【0075】しかし、本発明のように信号線が固定されていると信号線が足りなくなる可能性がある。そのために、上述した回路を疑似動作部12にプログラムする場合には、信号線の多い回路同士を例えば区画Dに集中させるなどすれば効率よく配線を使用することができる。

【0076】また、バス接続配線C21やC22のように大規模なバス接続配線を単にFPGA101とFPGA112との信号の2個のFPGA間の信号の伝達に使用すると同じバスの同じ接続配線に接続された他のFPGA102~111の端子がそれぞれ1つずつ使用できなくなるために、本実施例に示したように複数の区画に分割して複数種のバス接続配線を構成することが好ましい。また、これらのバス接続配線はそれぞれ必要に応じて1対1接続としてもよい。

【0077】次に、図9に、本発明における疑似LSI装置の疑似動作部12の第2の実施例を示す。この疑似動作部12は、FPGA12個と80ピンコネクタを8個使用して構成されており、外部とのI/Oピンが466ピン以下でゲート規模が60000ゲート以下のLSIに適用可能なものである。FPGAはXilinx社製の

XC3090が使用される。また、これらのFPGAに書きこまれる回路データは2つのEEPROM E1、E2に格納されており、電源立上げ時にEEPROMから各FPGAにデータが転送される。ここでは、EEPROM E1にFPGA 501,502,505,506,509,510の回路データが、EEPROM E2に、FPGA 503,504,507,508,511,512の回路データが格納されている。

【0078】また、図10、図11は、図9に示した疑似動作部12におけるFPGA相互間と、FPGAとコネクタ間の配線数を示した図である。たとえば、FPGA7に接続される配線は次のとおりである。

直接接続可能な配線：FPGA3に対し 10本

FPGA6, 8, 10に対し 5本

コネクタ7に対し13本

共通バス配線：FPGA6, 10, 11に対し10本

FPGA8, 11, 12に対し10本

FPGA5, 6, 8, 9, 10, 11, 12に対し15本

FPGA3, 4, 5, 6, 8, 9, 10, 11, 12に対し20本

FPGA1, 2, 3, 4, 5, 6, 8, 9, 10, 11, 12に対し40本

全FPGAとコネクタ2に対し 20本

【0079】すなわち、FPGA7と他のFPGAとの配線は最大次の本数だけ可能である。

FPGA1, 2との配線：最大60本

FPGA3との配線：最大90本

FPGA4との配線：最大80本

FPGA5, 9との配線：最大95本

FPGA6, 8との配線：最大110本

FPGA10, 12との配線：最大105本

FPGA11との配線：最大120本

【0080】また図12は、図9の疑似動作部12の配線構成をReed-solomon/ECC(Error Correcting Code)誤り訂正符号生成用LSIに適用した実施例のブロック図である。ここでは、ゲート規模は、50000ゲートであり、I/Oピンは200ピン使用している。この例では、汎用的な直接接続線と共通バス線を有効利用することによって信号遅延を保証する回路を設けることなく、ほとんど実回路に近い構成で疑似動作を実現することができる。

【0081】次に、疑似LSI装置の疑似動作部12が、その内部のFPGA相互間の配線をプログラム可能とする配線変換用LSIを備えた構成を持つ実施例について説明する。図13は、配線変換用LSI600を用いてFPGA601,602,603 および604を接続した実施例のブロック図である。

【0082】この実施例では、2ピンのFPGAを4個用い、各FPGA相互間の接続を配線変換用LSI600で行なう。また、この配線変換用LSI600内の配

線をプログラムするために、たとえば転送部13にプログラム用の制御信号S0、T0、T1…等と外部クロックMAIN CLKを発生させる外部コントロール回路を設ける。

【0083】この外部クロックと制御信号の適当な組合せによって配線変換用LSI600の内部の所望の配線経路が選択され各FPGAの各端子の接続が一意に決定される。配線変換用LSI600の内部の接続回路図の実施例として、図14にFPGA601とFPGA602と間の接続回路図を示し、図15にFPGA602と603、FPGA602と604の接続回路図を示す。

【0084】また図16に位相のずれたクロックを発生させる回路を示す。図14においては、FPGA601の端子A0又はA1とFPGA602の端子B0又はB1との接続をするために、制御信号S0、T0及びT1とクロックCLK1及びCLK2とを組合せることにより、所望の端子間どうしが接続される。以下に接続動作例を示す。

【0085】まず、端子A0と端子B0を接続する場合は、制御信号S0を“0”にして端子A0を指定する。そして制御信号T0を“1”にした後、クロックCLK1が入った場合に端子A0と端子B0が接続される。同様にして、FPGA601の端子A0とFPGA602の端子B1を接続する場合は、制御信号S0を“0”にしてA0を指定し、制御信号T1を“1”にした後、クロックCLK2が入ると端子A0と端子B1が接続される。端子A1と端子B0は、制御信号S0を“1”にしてA1を指定し、制御信号T0を“1”にした後、クロックCLK1が入ると接続される。端子A1と端子B1は、制御信号S0を“1”にしてA1を指定し、制御信号T1を“1”にした後、クロックCLK2が入ると接続される。また、FPGA601の端子A0を接続しない場合は、制御信号T0を“0”にするだけでよく、端子A1を接続しない場合は、制御信号T1を“0”にするだけでよい。

【0086】以上のように、各FPGA間の配線をするために、配線変換用LSIをFPGAの中央部に設けてやることにより、FPGAの個数はピン数に変更があった場合でも、配線変換用LSIの内部回路の接続構成を変更するだけで容易に対応可能である。

【0087】

【発明の効果】本発明によれば、不揮発性記憶部を設けてここに回路データを格納しているため、疑似LSI装置を装置本体から切り離しても、回路データが消滅することなく疑似LSIを構成することができる疑似LSI装置及びエミュレーション装置を提供することができる。

【0088】したがって、例えば疑似LSI装置を多数個作成しておくことによって、各部門において同一の疑似LSI装置に対する種々の試験を並行して行うことが

15

でき、LSIの開発効率の向上を図ることができるとともに、それに要する設備費用が極めて少なくて済む。

【0089】さらに、開発した回路のエミュレーションを実際に行う疑似動作部とは別の外部に、EEPROM等からなる不揮発性記憶部を設けているため、この疑似LSI装置と同じ構成の装置を使ってファームウェア開発、ソフトウェア開発又は検査工程におけるハードの評価等を各部署で並行して行っている場合に、開発した回路の設計ミスが発見されて疑似LSI装置の回路の修正を行う際に、各部署にエミュレータ装置本体を持ち込む必要はなく、ただ単に修正された回路データを書き込んだEEPROMを交換するだけでよい。

【0090】また、疑似動作部12内のプログラマブル・ゲートアレイを接続する配線として2つのゲートアレイ間の直接接続配線またはバス接続配線を設けているため、いかなるFPGA間で必要とする信号が発生しても、上記接続配線で信号の伝達を行うことにより、信号の遅延が極めて少ない接続を行うことができる。さらに、上記各プログラマブル・ゲートアレイをグループに分けて各グループごとに配線方法や本数を異ならせる構造を用いているため、エミュレートする電子回路に応じてグループを選択できるようになり、従来とほぼ同程度の汎用性を維持することができる。

【図面の簡単な説明】

【図1】本発明に係るエミュレーション装置のブロック図である。

【図2】本発明の疑似動作部の内部配線の原理図である。

【図3】本発明に係る疑似LSI装置が装置本体に接続されている場合の動作を示すタイミングチャートである。

【図4】本発明に係る疑似LSI装置の単体の動作を示すタイミングチャートである。

【図5】本発明に係る他の実施例の疑似LSI装置のブロック図である。

【図6】図5の疑似LSI装置が装置本体に接続されている場合の動作を示すタイミングチャートである。

【図7】図5の疑似LSI装置の単体の動作を示すタイ

16

ミングチャートである。

【図8】本発明の疑似動作部の実施例を示す図である。

【図9】本発明の疑似動作部の配線実施例を示す図である。

【図10】本発明の実施例図9におけるFPGAとコネクタ間の配線数を示す図である。

【図11】本発明の実施例図9におけるFPGAとコネクタ間の配線数を示す図である。

【図12】本発明の疑似動作部をReed-Solomon/ECCに適用した実施例を示す図である。

【図13】疑似動作部に配線変換用LSIを用いた実施例のブロック図である。

【図14】本発明の図13の実施例におけるFPGA601とFPGA602間の接続回路図である。

【図15】本発明の図13の実施例におけるFPGA602とFPGA603、FPGA602と604間の接続回路図である。

【図16】本発明の図13の実施例におけるクロック発生回路図である。

【図17】従来のエミュレーション装置のブロック図である。

【図18】従来の疑似LSI装置を示す図である。

【符号の説明】

1, 1a エミュレーション装置

2, 2a 装置本体

3, 3a 疑似LSI装置

11, 21a, 21b 不揮発性記憶部(EEPROM)

12 疑似動作部

22a, 22b FPGA(プログラマブル・ゲートアレイ、転送部)

13 転送部

14, 27 電源部

101~112 FPGA

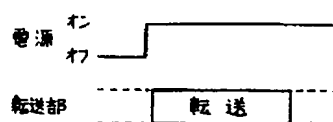
C4 格子接続配線

C5 コネクタ接続配線

C21~C27 バス接続配線

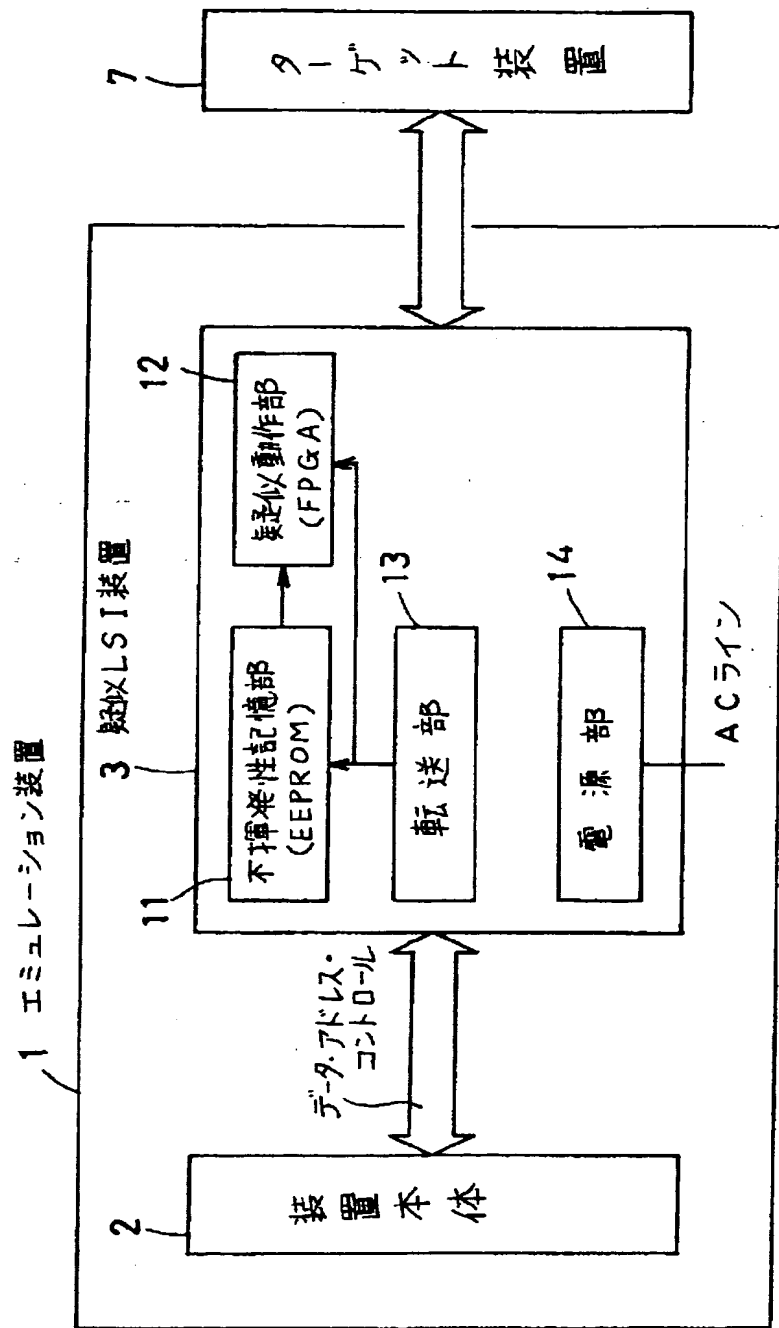
【図4】

本発明に係る疑似LSI装置の単体の動作を示すタイミングチャート



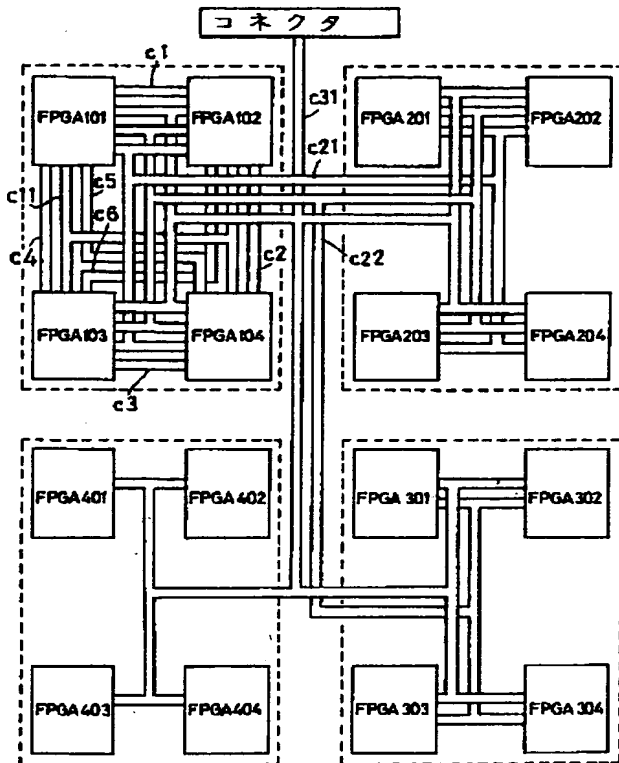
【図1】

本発明に係るエミュレーション装置のブロック図



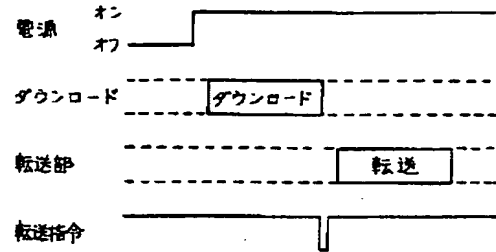
【図2】

疑似動作部の内部配線の原理図



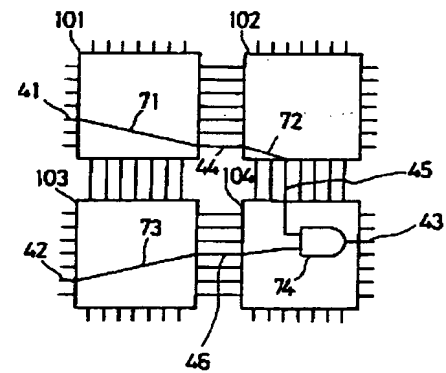
【図3】

本発明に係る疑似LSI装置が装置本体に接続されている場合の動作を示すタイミングチャート



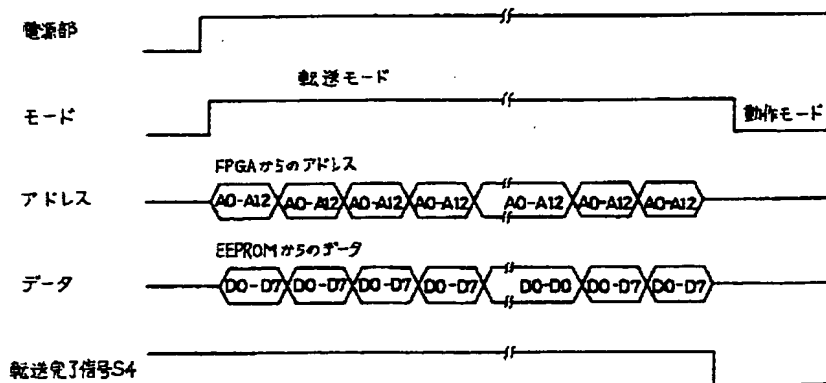
【図18】

従来の疑似LSI装置を示す図



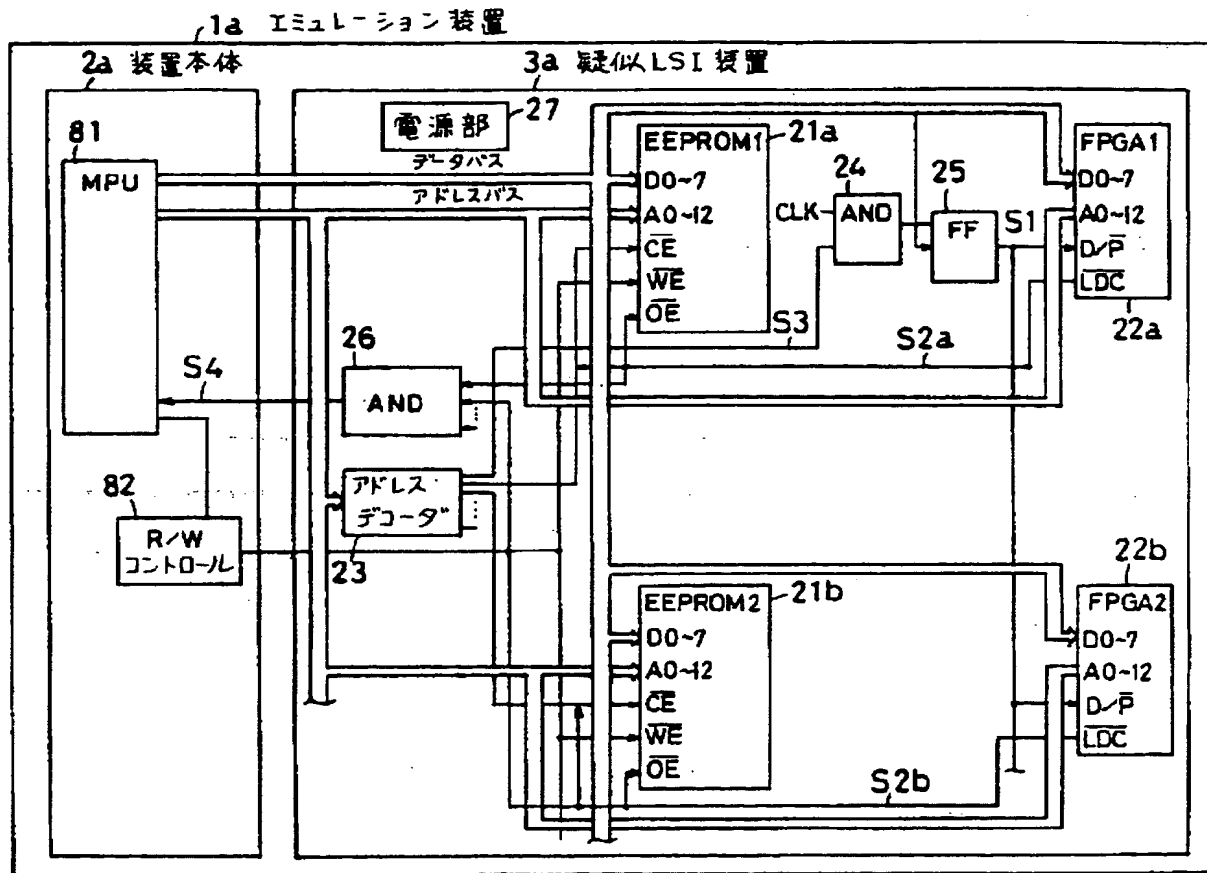
【図7】

図5の疑似LSI装置の単体の動作を示すタイミングチャート

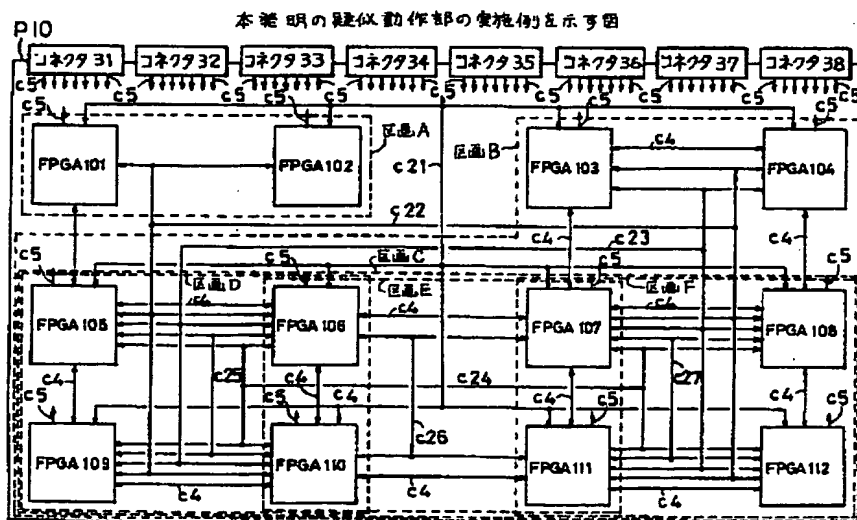


【図5】

本発明に係わる他の実施例の疑似LSI装置のブロック図

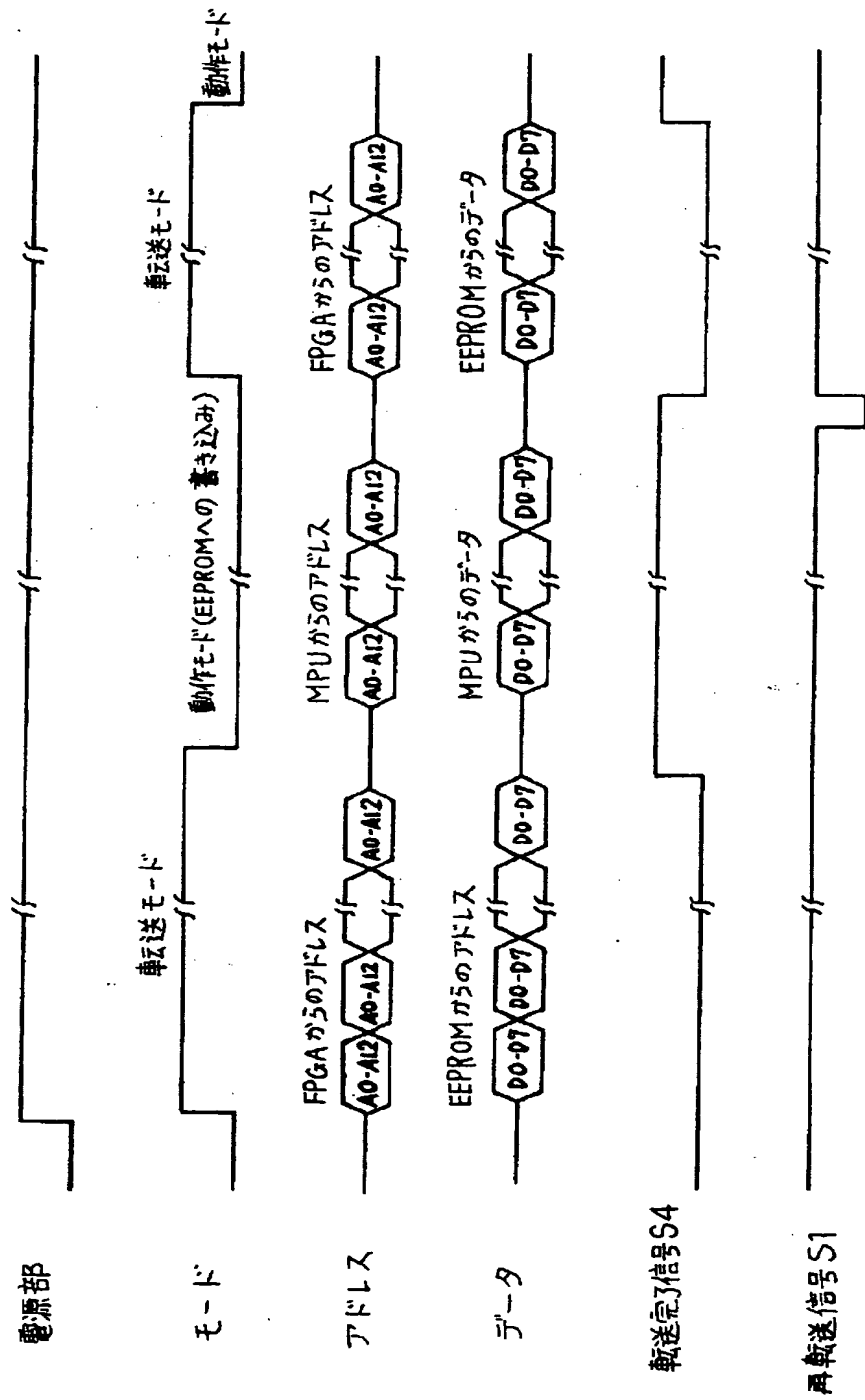


【図8】

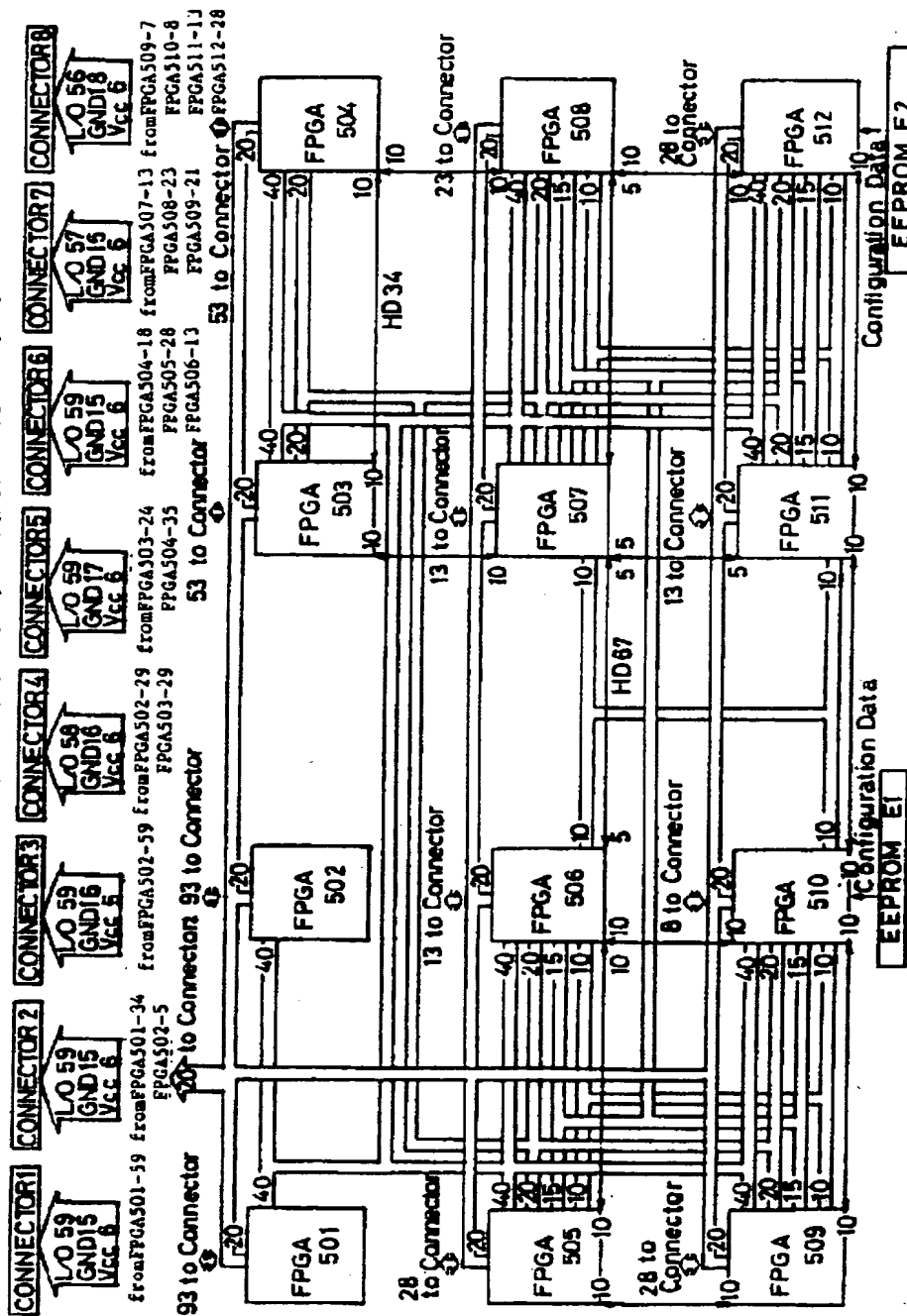


【図6】

図5の疑似LSI装置が装置本体に接続されている場合の動作を示すタイミングチャート



本発明の疑似動作部の配線実施例を示す図



【図10】

本発明の実施例図9におけるFPGAとコネクタ間の配線数を示す図

注: *印は単独配線

		FPGA																				
		1	2	3	4	5	6	7	8	9	10	11	12	1	2	3	4	5	6	7	8	
F	1	-	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20 40	*23	*34						
	2	20 40	-	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20 40	*5	*23	*24					
	3	20 40	20 40	-	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20 40								
	4	20 40	20 40	20 40	-	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20							
P	5	20 40	20 40	20 40	20 40	-	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20							
	6	20 40	20 40	20 40	20 40	20 40	-	20 40	20 40	20 40	20 40	20 40	20 40	20								
G	7	20 40	20 40	20 40	20 40	20 40	20 40	-	20 40	20 40	20 40	20 40	20 40	20	20							
	8	20 40	20 40	20 40	20 40	20 40	20 40	20 40	-	20 40	20 40	20 40	20 40	20								
A	9	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20 40	-	20 40	20 40	20 40	20	20							
	10	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20 40	20 40	-	20 40	20 40	20								

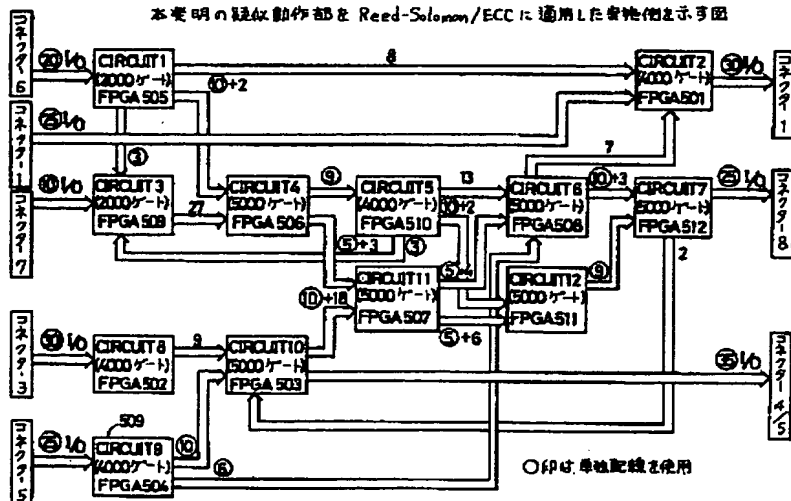
【図 1 1】

本発明の実施例図9におけるFPGAとコネクタ間の配線数を示す図
(つづき)

[illegible]

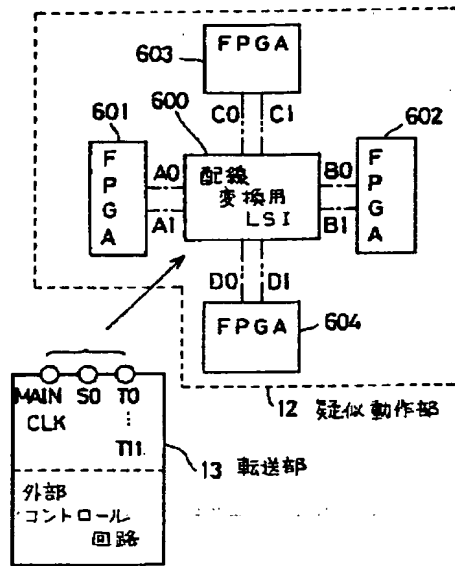
【☒12】

本発明の疑似動作部を Reed-Solomon/ECC に適用した実施例を示す図



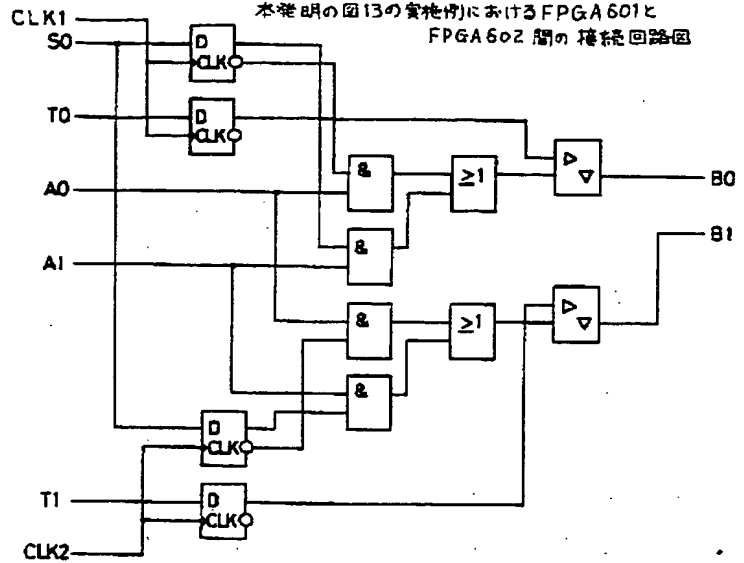
【図13】

疑似動作部に配線変換用LSIを用いた実施例のブロック図



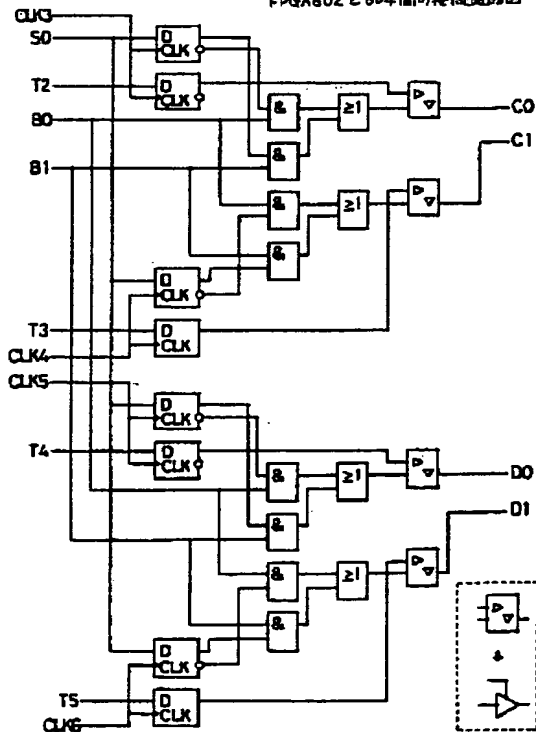
【図14】

本発明の図13の実施例におけるFPGA601とFPGA602間の接続回路図



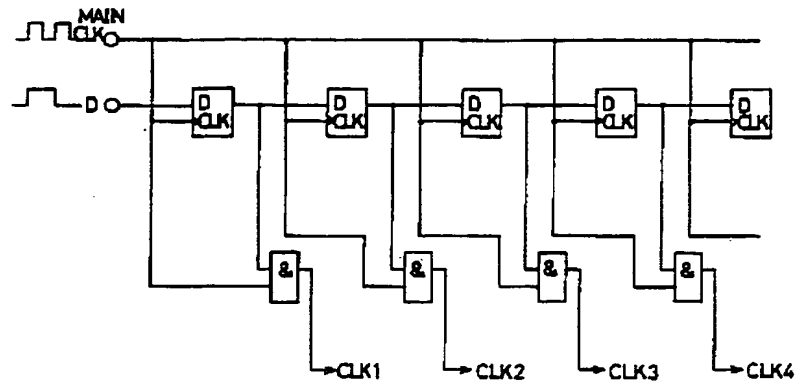
【図15】

本発明の図13の実施例におけるFPGA602と603、FPGA602と604間の接続回路図



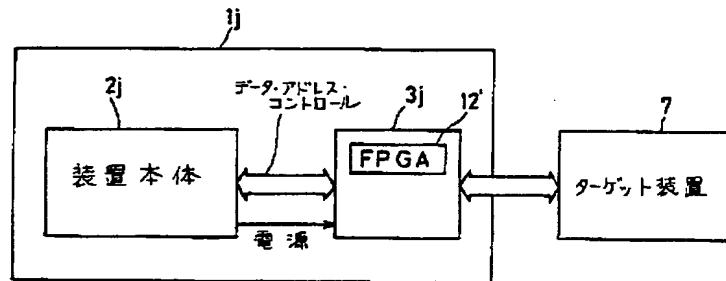
【図16】

本発明の図13の実施例におけるクロック発生回路図



【図17】

従来のエミュレーション装置のブロック図



フロントページの続き

(72)発明者 上坂 武史
 兵庫県加東郡社町佐保35番地 富士通周辺
 機株式会社内